

캡스톤 디자인 국문 요약서

프로젝트 주제 : 실리콘 기반의 고온 동작 Field Effect Transistor(FET) 설계 후 CMOS Logic을 통하여 검증

조원 : 정태웅, 천서연, 오윤재

요약문

1. 주제 선정 이유

본 연구에서 개발하는 고온 환경에서 동작하는 N-type, P-type 소자 및 CMOS Logic을 활용해 고온에서도 신뢰성 있는 메모리 및 비메모리 반도체를 개발할 수 있다. 특히 개발 중인 CMOS Logic으로 SRAM을 설계해 cache 메모리를 제작한다면 고온에서도 빠른 컴퓨팅이 가능하여 시스템의 성능을 향상시킬 것으로 기대된다.

2. 제작 순서 및 과정

- 1) TCAD Sentaurus - HTFET 제작 및 최적화 후 device characteristic 추출
- 2) HSPICE - MOSFET model의 parameter를 변경하여 HTFET 제작 후 SPICE CMOS circuit 구성하여 동작 확인

3. 제작 목표 및 평가 수준

HTFET을 구현하기 위해서 off current는 1×10^{-8} A 이하, wide band gap 물질의 band gap은 $0.9 < H < 1.5$ 사이를 유지한다. inverter logic 구현을 위하여 소자의 transfer curve에서 on/off ratio를 1×10^4 이상이 되도록 최적화 한다. SPICE 내에서 파라미터로 이용하여 transfer curve 피팅시 on,off current 수치를 맞출 때, 오차율이 20%이하가 되도록 한다.

4. HTFET 소자 및 CMOS 회로 결과 첨부

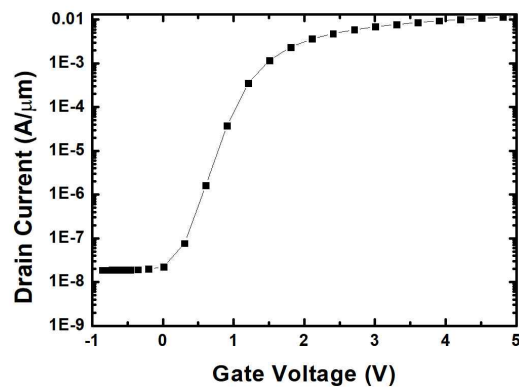


그림 1 NHTFET Transfer curve

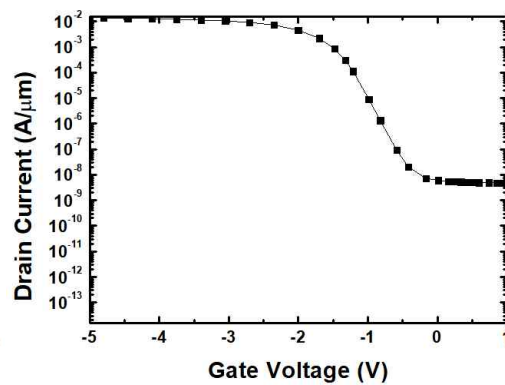


그림 2 PHTFET Transfer curve



그림 3 HTFET으로 구성한 CMOS inverter circuit simulation

캡스톤 디자인 2 영문 요약서

프로젝트 주제 : Application of Silicon Based High Temperature Field Effect Transistor in Complementary Metal-Oxide-Semiconductor Logic

Team : No. 2 Student number : 60162258, 60192562, 60191823 Name : Taewoong Jeong, Seoyeon Chun, Yunjae Oh

Summary

1. The reason for topic selection

In this study, reliable memory and non-memory semiconductors can be developed by utilizing N-type and P-type elements and CMOS Logic operating in high temperature environments. In particular, if an SRAM is designed with CMOS Logic under development and cache memory is produced, it is expected that fast computing will be possible even at high temperatures to improve system performance.

2. The production procedure and process

- 1) TCAD Sentaurus - The device characteristic extraction after HTFET fabrication and optimization
- 2) HSPICE - The configure the CMOS circuit operation after HTFET fabrication by changing the parameters of the SPICE MOSFET model

3. The production objectives and assessment levels

A or less, and the bandgap of the wide bandgap material is kept at $0.9 < H < 1.5$. In order to implement the inverter logic, the on/off ratio is optimized 1×10^4 A to be abnormal in the transfer curve of the device. When adjusting the on/off current value when using the transfer curve fitting as a parameter in SPICE, the error rate shall be 20% or less is 20% or less.

4. The results of HTFET device and CMOS circuit

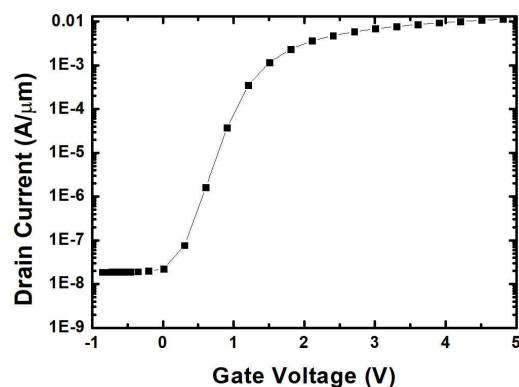


Figure 1 NHTFET Transfer curve

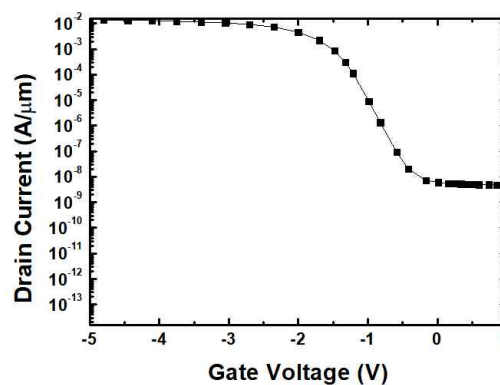


Figure 2 PHTFET Transfer curve

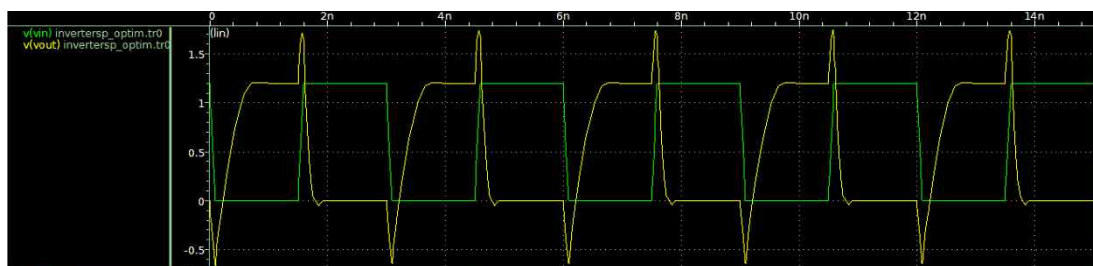


Figure 3 CMOS inverter circuit simulation with HTFET device